

日 本 国 特 許 庁
JAPAN PATENT OFFICE

#^{RS}
4
3-15-02

J1040 U.S. PTO
09/963257



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 9月29日

出 願 番 号
Application Number:

特願2000-301405

出 願 人
Applicant(s):

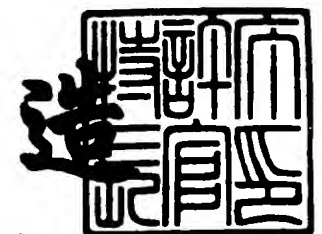
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3072179

【書類名】 特許願

【整理番号】 0000802206

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 1/30

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 楠 繁雄

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 歪補償装置及び歪補償方法

【特許請求の範囲】

【請求項 1】 デバイスに発生する歪成分を補償する歪補償装置において、
上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出手段と、
上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出手段と、
上記第 1 の包絡線検出手段が検出した包絡線電圧と上記第 2 の包絡線検出手段が検出した包絡線電圧を比較する比較手段と、
上記比較手段による比較の結果に関する大小関係を補正する比較結果補正手段と、
上記入力信号の振幅を制御するための振幅制御信号を上記比較結果補正手段の補正出力に基づいて生成する振幅制御信号生成手段と、
上記振幅制御信号生成手段が生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段と
を備えることを特徴とする歪補償装置。

【請求項 2】 上記振幅制御信号生成手段は、上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて振幅補正用のデータを出力すると共に上記比較結果補正手段の補正出力に基づいて振幅補正用のデータを更新する振幅補正データ出力手段を備えることを特徴とする請求項 1 記載の歪補償装置。

【請求項 3】 上記振幅補正データ出力手段は予め振幅補正用データを格納している、書き込み可能な記憶媒体であることを特徴とする請求項 2 記載の歪補償装置。

【請求項 4】 上記書き込み可能な記憶媒体を 2 個備えることを特徴とする請求項 3 記載の歪補償装置。

【請求項 5】 上記 2 個の書き込み可能な記憶媒体は、上記振幅補正データの読み出しと更新とを交互に行うことを特徴とする請求項 4 記載の歪補償装置。

【請求項 6】 上記比較結果補正手段は、上記比較手段による比較結果をラッチし、そのラッチ値に基づいてデジタルでの + 1 ビット、或いはデジタルでの -

1 ビットを補正出力することを特徴とする請求項 1 記載の歪補償装置。

【請求項 7】 デバイスに発生する歪成分を補償する歪補償装置において、
上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出手段と、
上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出手段と、
上記第 1 の包絡線検出手段が検出した包絡線電圧と上記第 2 の包絡線検出手段が検出した包絡線電圧との差を求める演算手段と、
上記演算手段が求めた差を所定の基準値と比較する比較手段と、
上記比較手段による比較の結果に関する大小関係を補正する比較結果補正手段と、
上記入力信号の振幅の利得を制御するための振幅制御信号を上記比較結果補正手段の補正出力に基づいて生成する振幅制御信号生成手段と、
上記振幅制御信号生成手段が生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段と
を備えることを特徴とする歪補償装置。

【請求項 8】 上記振幅制御信号生成手段は、上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて振幅補正用のデータを出力すると共に上記比較結果補正手段の補正出力に基づいて振幅補正用のデータを更新する振幅補正データ出力手段を備えることを特徴とする請求項 7 記載の歪補償装置。

【請求項 9】 上記振幅補正データ出力手段は予め振幅補正用データを格納している、書き込み可能な記憶媒体であることを特徴とする請求項 8 記載の歪補償装置。

【請求項 10】 上記書き込み可能な記憶媒体を 2 個備えることを特徴とする請求項 9 記載の歪補償装置。

【請求項 11】 上記 2 個の書き込み可能な記憶媒体は、上記振幅補正データの読み出しと更新とを交互に行うことを特徴とする請求項 10 記載の歪補償装置。

【請求項 12】 上記比較結果補正手段は、上記比較手による比較結果をラッチし、そのラッチ値に基づいてデジタルでの +1 ビット、或いはデジタルでの -

1 ビットを補正出力とすることを特徴とする請求項 7 記載の歪補償装置。

【請求項 1 3】 上記比較手段を二つ備え、各比較手段においてそれぞれの所定の基準値と上記演算手段からの差を比較し、二つの比較結果を出すことを特徴とする請求項 7 記載の歪補償装置。

【請求項 1 4】 上記比較結果補正手段は、上記二つの比較結果に関する大小関係を補正することを特徴とする請求項 1 3 記載の歪補償装置。

【請求項 1 5】 上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成手段と、上記位相制御信号生成手段が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御手段とを備えることを特徴とする請求項 1 記載の歪補償装置。

【請求項 1 6】 上記振幅制御信号生成手段は、上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて振幅補正用のデータを出力すると共に上記比較結果補正手段の補正出力に基づいて振幅補正用のデータを更新する振幅補正データ出力手段を備えることを特徴とする請求項 1 5 記載の歪補償装置。

【請求項 1 7】 上記振幅補正データ出力手段は予め振幅補正用データを格納している、書き込み可能な記憶媒体であることを特徴とする請求項 1 6 記載の歪補償装置。

【請求項 1 8】 上記書き込み可能な記憶媒体を 2 個備えることを特徴とする請求項 1 7 記載の歪補償装置。

【請求項 1 9】 上記 2 個の書き込み可能な記憶媒体は、上記振幅補正データの読み出しと更新とを交互に行うことを特徴とする請求項 1 8 記載の歪補償装置。

【請求項 2 0】 上記比較結果補正手段は、上記比較手による比較結果をラッチし、そのラッチ値に基づいてデジタルでの + 1 ビット、或いはデジタルでの - 1 ビットを補正出力とすることを特徴とする請求項 1 5 記載の歪補償装置。

【請求項 2 1】 上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成手段と、上記位相制御信号生成手段が生成した位相制御信号に基づいて上記入力信

号の位相を制御する位相制御手段を備えることを特徴とする請求項 7 記載の歪補償装置。

【請求項 2 2】 上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成手段と、上記位相制御信号生成手段が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御手段を備えることを特徴とする請求項 1 3 記載の歪補償装置。

【請求項 2 3】 デバイスに発生する歪成分を補償する歪補償装置において、上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出手段と、

上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成手段と、

上記位相制御信号生成手段が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御手段と、

上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出手段と、

上記第 1 の包絡線検出手段が検出した包絡線電圧と上記第 2 の包絡線検出手段が検出した包絡線電圧の位相差を検出する位相差検出手段と、

上記位相差検出手段が検出した位相差を上記位相制御信号生成手段が生成した位相制御信号に加算して上記位相制御手段に供給する加算手段と

を備えることを特徴とする歪補償装置。

【請求項 2 4】 上記第 1 の包絡線検出手段が検出した包絡線電圧と上記第 2 の包絡線検出手段が検出した包絡線電圧を比較する比較手段と、上記比較手段による比較の結果に関する大小関係を補正する比較結果補正手段と、上記比較結果補正手段の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成手段と、この振幅制御信号生成手段で生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段とを備えることを特徴とする請求項 2 3 記載の歪補償装置。

【請求項 2 5】 上記振幅制御信号生成手段は、上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて振幅補正用のデータを出力すると共に上記比較結果

補正手段の補正出力に基づいて振幅補正用のデータを更新する振幅補正データ出力手段を備えることを特徴とする請求項 2 4 記載の歪補償装置。

【請求項 2 6】 上記振幅補正データ出力手段は予め振幅補正用データを格納している、書き込み可能な記憶媒体であることを特徴とする請求項 2 5 記載の歪補償装置。

【請求項 2 7】 上記書き込み可能な記憶媒体を 2 個備えることを特徴とする請求項 2 6 記載の歪補償装置。

【請求項 2 8】 上記 2 個の書き込み可能な記憶媒体は、上記振幅補正データの読み出しと更新とを交互に行うことを特徴とする請求項 2 7 記載の歪補償装置。

【請求項 2 9】 上記比較結果補正手段は、上記比較手による比較結果をラッチし、そのラッチ値に基づいてデジタルでの + 1 ビット、或いはデジタルでの - 1 ビットを補正出力とすることを特徴とする請求項 2 4 記載の歪補償装置。

【請求項 3 0】 デバイスに発生する歪成分を補償する歪補償方法において、
上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出工程と、

上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出工程と、

上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧を比較する比較工程と、

上記比較工程による比較の結果に関する大小関係を補正する比較結果補正工程と、

上記比較結果補正工程の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成工程と、

上記振幅制御信号生成工程で生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段と

を備えることを特徴とする歪補償方法。

【請求項 3 1】 上記第 1 の包絡線検出工程が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成工程と、上記位相制御信号生成工程が生成した位相制御信号に基づいて上記入力信

号の位相を制御する位相制御工程とを備えることを特徴とする請求項 3 0 記載の歪補償方法。

【請求項 3 2】 デバイスに発生する歪成分を補償する歪補償方法において、
上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出工程と、

上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出工程と、

上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧との差を求める演算工程と、

上記演算工程が求めた差を所定の基準値と比較する比較工程と、

上記比較工程による比較の結果に関する大小関係を補正する比較結果補正工程と、

上記比較結果補正工程の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成工程と、

上記振幅制御信号生成工程で生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段と

を備えることを特徴とする歪補償方法。

【請求項 3 3】 上記第 1 の包絡線検出工程が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成工程と、上記位相制御信号生成工程が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御工程とを備えることを特徴とする請求項 3 2 記載の歪補償方法。

【請求項 3 4】 デバイスに発生する歪成分を補償する歪補償方法において、
上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出工程と、

上記第 1 の包絡線検出工程が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成工程と、

上記位相制御信号生成工程が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御工程と、

上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出工程と、

上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧の位相差を検出する位相差検出工程と、

上記位相差検出工程が検出した位相差を上記位相制御信号生成工程が生成した位相制御信号に加算して上記位相制御工程に供給する加算工程とを備えることを特徴とする歪補償方法。

【請求項 3 5】 上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧を比較する比較工程と、上記比較工程による比較の結果に関する大小関係を補正する比較結果補正工程と、上記比較結果補正工程の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成工程と、上記振幅制御信号生成工程で生成した上記振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御工程とを備えることを特徴とする請求項 3 4 記載の歪補償方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、歪補償装置、特に携帯電話機に用いる送信用の高周波電力増幅器に適用し得る歪補償装置及び歪補償方法に関する。

【0 0 0 2】

【従来の技術】

近年の通信の高速化、大容量化にともない、デジタル無線通信機器における送信電力増幅器に求められる線形性は厳しくなりつつあり、これは同時に、電力増幅器の電力効率の向上を妨げる事態を生じている。

【0 0 0 3】

一方、既に一般市場に多く普及されているデジタル携帯電話機の連続通話時間は長時間化の一途をたどっており、新しいデジタル無線通信機器の市場投入においては、製品競争力の点から、その使用時間を無視できなくなり、ここに至って、歪み補償の技術を導入して、効率の向上を図る動きが活発になりつつある。

【0 0 0 4】

しかるに、この技術は、その回路規模において極めて膨大になり、小型軽量を

長所とする携帯電話機においては、実現が厳しいものとなっている。また、携帯端末の特質上、使用される環境が大きく変動するため、歪み補償も、この環境変動に追従する適応歪み補償とすることが必須であり、小型化とあいまって、極めて重要な課題となっている。この様な歪み補償装置として、電力増幅器の歪みと逆特性の補償手段を設けたプレディストーションの技術が知られている。

【0005】

この様なプレディストーション技術としては、プレディストーションを適用化したもの、フィードフォワードを適用化させたものなど幾つかの報告がある。以下には、プレディストーション技術を用いた適応歪み補償装置の従来例を説明する。

【0006】

第1の従来構成として、例えば、1992.European Microwave Conference.Vol.2 2,pp.1125-pp.1130,"Power amplifier Adaptive Linearization Using Predistortion with Polynomial."がある。図14に、ここで紹介されている例のブロック図を示す。

【0007】

図14において、歪みを補償すべき電力増幅器(PA)114の非線型入出力特性を $V_{out} = A(V_{in})$ と表した場合、入力端子111から入力される入力ベースバンドの同相信号I, 直交信号Qには、線形化比較回路112において、 $A(V_{in})$ を線形化する関数 $H(I, Q)$ を用いた演算が施される。その結果得られた I' , Q' 信号はデジタル-アナログ変換回路(D/A)113に供給され、アナログ化されると同時に高周波帯に変換され、電力増幅器114に入力される。電力増幅器114が出力 V_{out} は、出力端子115から出力されると共に、復調回路116に供給される。復調回路116は、上記出力信号 V_{out} をベースバンド帯に変換した I_f , Q_f 信号を生成する。

【0008】

そして、温度変化に対応する適応補償のため、線形化比較回路112がI, Q信号と I_f , Q_f 信号とを比較し、差分がゼロとなるように線形化の関数Hに含まれる定数を調整する。この差分が正しくゼロとなるまで、この操作を繰返し、関

数 $H(I, Q)$ に含まれる定数を最終的に最適な値に決定している。

【0009】

他の従来構成として、例えば、IEEE Transaction on Vehicular Technologies, Vol.43, No.2, 1994, May, pp.323-pp.332. "Adaptive Linearization Using Predistortion" がある。図15に、ここに記載されているブロック図を示す。入力端子121から入力される入力信号 I, Q に対してメモリ等の変換テーブル124をアクセスすることによりデータ変換を行ない、電力増幅器126を線形化し得るデータ I', Q' を得、D/A変換器125でアナログ信号に変換してから電力増幅器126に入力せしめる。その出力 V_{out} を検出し、復調回路128にてベースバンド帯に変換し信号 I_f, Q_f を得る。そして、適応補償を行うために、入力信号 I, Q と復調回路128からの検出信号 I_f, Q_f との差分 e_n を減算器122で求め、この差分 e_n がゼロとなるように、アドレス生成部123が変換テーブル124のアドレスを調整する。具体的に、アドレス生成部123は、上記差分 e_n が正しくゼロとなるまで、アドレスの調整を繰り返し、変換テーブル124内をアクセスするアドレス値を最適化している。そして、変換テーブル124が出力したデータ I', Q' をD/A変換器125でアナログ化した V_{in} を電力増幅器126に入力し、その出力 V_{out} を出力端子127から導出する。

【0010】

【発明が解決しようとする課題】

以上示した従来構成では、線形化関数に含まれる定数あるいは、線形化テーブルをアクセスするアドレスを最適化している。しかし、いずれの例も、電力増幅器の出力をベースバンド帯に変換するために、復調器が必要になる。一般にこの復調器は直交復調となるために、回路規模は膨大なものになる。

【0011】

本発明は、上記実情に鑑みてなされたものであり、電力増幅器のようなデバイスの歪成分を、簡易に補償することのできる歪補償装置及び方法の提供を目的とする。また、上記復調器を不要とした簡単な構成とすることのできる歪補償装置及び方法の提供を目的とする。

【0012】

【課題を解決するための手段】

本発明に係る歪補償装置は、上記課題を解決するために、デバイスに発生する歪成分を補償する歪補償装置において、上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出手段と、上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出手段と、上記第 1 の包絡線検出手段が検出した包絡線電圧と上記第 2 の包絡線検出手段が検出した包絡線電圧を比較する比較手段と、上記比較手段による比較の結果に関する大小関係を補正する比較結果補正手段と、上記入力信号の振幅を制御するための振幅制御信号を上記比較結果補正手段の補正出力に基づいて生成する振幅制御信号生成手段と、上記振幅制御信号生成手段が生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段とを備える。

【0013】

この歪補償装置の上記振幅制御信号生成手段は、上記第 1 の包絡線検出手段が検出した包絡線電圧に応じて振幅補正用のデータを出力すると共に上記比較結果補正手段の補正出力に基づいて振幅補正用のデータを更新する振幅補正データ出力手段を備える。

【0014】

本発明に係る歪補償装置は、上記課題を解決するために、デバイスに発生する歪成分を補償する歪補償装置において、上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出手段と、上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出手段と、上記第 1 の包絡線検出手段が検出した包絡線電圧と上記第 2 の包絡線検出手段が検出した包絡線電圧との差を求める演算手段と、上記演算手段が求めた差を所定の基準値と比較する比較手段と、上記比較手段による比較の結果に関する大小関係を補正する比較結果補正手段と、上記入力信号の振幅の利得を制御するための振幅制御信号を上記比較結果補正手段の補正出力に基づいて生成する振幅制御信号生成手段と、上記振幅制御信号生成手段が生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段とを備える。

【0015】

本発明に係る歪補償装置は、上記課題を解決するために、デバイスに発生する歪成分を補償する歪補償装置において、上記デバイスに供給される入力信号の包絡線電圧を検出する第1の包絡線検出手段と、上記第1の包絡線検出手段が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成手段と、上記位相制御信号生成手段が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御手段と、上記デバイスの出力信号の包絡線電圧を検出する第2の包絡線検出手段と、上記第1の包絡線検出手段が検出した包絡線電圧と上記第2の包絡線検出手段が検出した包絡線電圧の位相差を検出する位相差検出手段と、上記位相差検出手段が検出した位相差を上記位相制御信号生成手段が生成した位相制御信号に加算して上記位相制御手段に供給する加算手段とを備える。

【0016】

この歪補償装置は、上記第1の包絡線検出手段が検出した包絡線電圧と上記第2の包絡線検出手段が検出した包絡線電圧を比較する比較手段と、上記比較手段による比較の結果に関する大小関係を補正する比較結果補正手段と、上記比較結果補正手段の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成手段と、この振幅制御信号生成手段で生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段とを備える。

【0017】

本発明に係る歪補償方法は、上記課題を解決するために、デバイスに発生する歪成分を補償する歪補償方法において、上記デバイスに供給される入力信号の包絡線電圧を検出する第1の包絡線検出工程と、上記デバイスの出力信号の包絡線電圧を検出する第2の包絡線検出工程と、上記第1の包絡線検出工程が検出した包絡線電圧と上記第2の包絡線検出工程が検出した包絡線電圧を比較する比較工程と、上記比較工程による比較の結果に関する大小関係を補正する比較結果補正工程と、上記比較結果補正工程の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成工程と、上記振幅制御信号生成工程で生成した振幅制御信号に基づいて上記入力信号の振幅の利得を

制御する振幅制御手段とを備える。

【 0 0 1 8 】

本発明に係る歪補償方法は、上記課題を解決するために、デバイスに発生する歪成分を補償する歪補償方法において、上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出工程と、上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出工程と、上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧との差を求める演算工程と、上記演算工程が求めた差を所定の基準値と比較する比較工程と、上記比較工程による比較の結果に関する大小関係を補正する比較結果補正工程と、上記比較結果補正工程の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成工程と、上記振幅制御信号生成工程で生成した振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御手段とを備える。

【 0 0 1 9 】

本発明に係る歪補償方法は、上記課題を解決するために、デバイスに発生する歪成分を補償する歪補償方法において、上記デバイスに供給される入力信号の包絡線電圧を検出する第 1 の包絡線検出工程と、上記第 1 の包絡線検出工程が検出した包絡線電圧に応じて上記入力信号の位相を制御するための位相制御信号を生成する位相制御信号生成工程と、上記位相制御信号生成工程が生成した位相制御信号に基づいて上記入力信号の位相を制御する位相制御工程と、上記デバイスの出力信号の包絡線電圧を検出する第 2 の包絡線検出工程と、上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧の位相差を検出する位相差検出工程と、上記位相差検出工程が検出した位相差を上記位相制御信号生成工程が生成した位相制御信号に加算して上記位相制御工程に供給する加算工程とを備える。

【 0 0 2 0 】

この歪補償方法は、上記第 1 の包絡線検出工程が検出した包絡線電圧と上記第 2 の包絡線検出工程が検出した包絡線電圧を比較する比較工程と、上記比較工程による比較の結果に関する大小関係を補正する比較結果補正工程と、上記比較結

果補正工程の補正出力に基づいて上記入力信号の振幅の利得を制御するための振幅制御信号を生成する振幅制御信号生成工程と、上記振幅制御信号生成工程で生成した上記振幅制御信号に基づいて上記入力信号の振幅の利得を制御する振幅制御工程とを備える。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明の歪補償装置及び歪補償方法の実施の形態となる、適応歪補償装置について図面を参照して説明する。この適応歪補償装置は、デジタル無線通信機器における送信用高周波電力増幅器（以下電力増幅器と記す）の歪を適応補償するものである。

【 0 0 2 2 】

先ず、第 1 の実施例となる、適応歪補償装置の主となる構成について図 1 を用いて説明する。この適応歪補償装置は、電力増幅器 1 4 に供給される、包絡線の変動を有する高周波信号 PA_in の包絡線電圧 in_DET を検出する第 1 の包絡線検出部 (DET 1) 1 と、電力増幅器 1 4 の出力信号 PA_out の包絡線電圧 out_DET を検出する第 2 の包絡線検出部 (DET 2) 1 5 と、第 1 の包絡線検出部 1 が検出した包絡線電圧と第 2 の包絡線検出部 1 5 が検出した包絡線電圧とを比較する電圧比較器 (CMP) 1 7 と、この電圧比較器 1 7 による比較の結果に関する大小関係を補正するロジック (ADP_Logic) 部 1 8 と、上記入力信号 PA_in の振幅を制御するための振幅制御信号 AM_ctl をロジック部 1 8 の補正出力に基づいて生成する振幅制御信号生成手段と、この振幅制御信号生成手段が生成した振幅制御信号に基づいて上記入力信号 PA_in の振幅の利得を制御する利得制御部 1 3 とを備える。

【 0 0 2 3 】

ここで、上記振幅制御信号生成手段は、後述する、二つの振幅補償メモリ 7 及び 8 と、ラッチ回路 9 と、セレクター 1 0 と、セレクター 1 1 と、D/A 変換器 1 2 と、ラッチ回路 1 9 と、デジタル加算器 2 0 とから構成される。

【 0 0 2 4 】

次に、この適応歪補償装置の詳細な構成について説明する。図 1 に示すように

、入力端子T_{in}に供給される、包絡線の変動を有する高周波信号P A_{i n}の一部をコンデンサ22を介して受け取り、その包絡線電圧i n_{DE T}を検出する第1の包絡線検出部(D E T 1) 1と、この第1の包絡線検出部1が検出した包絡線電圧i n_{DE T}を増幅する電圧増幅器(I n_{AMP}) 2と、この電圧増幅器2の出力をデジタイズし、デジタル信号D_{AD}を出力するA/Dコンバータ3と、このA/Dコンバータ3が出力したデジタル信号D_{AD}をアドレスとして入力し、位相補正用として予め格納されたデータから、上記アドレスに対応した位相補正データD R Pを出力する位相補正メモリー(R A M_{PM}) 4と、この位相補正メモリー4が出力した位相補正データD R PにD/A変換を施して位相制御信号P M_{ct 1}を出力する第1のD/Aコンバータ5と、上記A/Dコンバータ3が出力したデジタル信号D_{AD}をラッチするラッチ回路(A d_{L c h}) 9と、入力端R I 1及び出力端D R 1を持ち、振幅補正用データを予め格納した第1の振幅補償メモリー(R A M_{AM 1}) 7と、入力端R I 2及び出力端D R 2を持ち、同じく振幅補正用データを予め格納した第2の振幅補償メモリー(R A M_{AM 2}) 8と、ラッチ回路9のラッチ出力D_{AD L}を第1の入力とし、上記A/Dコンバータ3のデジタル信号D_{AD}を第2の入力とし、このデジタル信号D_{AD}を上記入力端R I 1、上記ラッチ出力D_{AD L}を上記入力端R I 2、または、デジタル信号D_{AD}を上記入力端R I 2、上記ラッチ出力D_{AD L}を上記入力端R I 1に切り替え接続する機能を有する第1のセレクター(Selector1) 10と、第1の振幅補償メモリー7の出力D R 1を第1の入力とし、第2の振幅補償メモリー8の出力D R 2を第2の入力とし、そのいずれかをデータD_{DA 2}として選択して出力する第2のセレクター(Selector2) 11と、第2のセレクター11で選択出力された上記データD_{DA 2}を入力とし、D/A変換を施し、振幅制御信号A M_{ct 1}を出力する第2のD/A(D/A2)コンバータ12と、この適応歪補償装置にて歪を補償する対象となる電力増幅器(P A) 14の出力の一部をコンデンサ23を介して入力とし、その包絡線o u t_{DE T}を検出する第2の包絡線検出部(D E T 2) 15と、この第2の包絡線検出部15が検出した包絡線o u t_{DE T}を増幅する電圧増幅器(o u t_{AMP}) 16と、この電圧増幅器16の出力を第1の入力とし、上記電圧増幅器

2の出力を第2の入力とし、両者の大小を検出する電圧比較器（CMP）17と、この電圧比較器17の出力をラッチし、そのラッチ値によりデジタルでの+1ビットあるいはデジタルでの-1ビットを信号ADP_Dとして出力するロジック（ADP_Logic）部18と、上記第2のセレクター11にて選択されたデータD_DA2をラッチするデータラッチ回路（Dt_Lch）19と、このデータラッチ回路19の出力とロジック部18の出力ADP_Dとをデジタル加算し、その加算結果ADD_Dを振幅補償メモリー7及び8の書き込みデータバスに接続するデジタル加算器（ADD）20と、上記入力信号PA_inを遅延させる遅延素子（Delay）21と、この遅延素子21の出力を入力とし、上記位相制御信号PM_ctlにより、その通過位相を増減する位相制御部（PM）6と、この位相制御部6の出力を入力とし、上記第2のD/Aコンバータ12から出力される上記振幅制御信号AM_ctlにより、その利得を増減する利得制御部（AM）13と、この利得制御部13の出力を入力として電力増幅し、信号PA_outを出力端子Toutから出力する電力増幅器（PA）14を備えている。

【0025】

次に、図1に構成を示した、適応歪補償装置における、信号の流れについて説明する。この適応歪補償装置では、包絡線の変動を有する高周波信号PA_inの一部から第1の包絡線検出部1が包絡線電圧in_DETを検出する。そして、その包絡線電圧in_DETを電圧増幅器2にて増幅した後、A/Dコンバータ3でデジタイズする。このA/Dコンバータ3が出力したデジタル信号D_ADを位相補正メモリー4のアドレスとしてメモリ・アクセスし、位相補正用として予め格納されたデータから、このアドレスに対応した位相補正データDRPを出力させ、これを第1のD/Aコンバータ5でD/A変換し、位相制御データPM_ctlを出力し、この位相制御データPM_ctlで位相制御部6を制御する。

【0026】

第1の振幅補償メモリー7及び第2の振幅補償メモリー8には、振幅補正用データを予め格納しておく。各メモリーのアドレスには、包絡線電圧のデジタル信号D_ADをラッチ回路9でラッチした出力D_ADLか、A/Dコンバータ3の

出力D_ADかを、第1のセレクター10にて切り替えて用いる。また、振幅補償メモリー7の出力DR1と振幅補償メモリー8の出力DR2を第2のセレクター11にて切り替え、第2のD/Aコンバータ12に交互に接続できるようにする。第2のD/Aコンバータ12の出力AM_ct1で、利得制御部13の利得を制御する。

【0027】

第2の包絡線検出部15は、歪みを補償すべき電力増幅器14の出力の包絡線電圧out_DETを検出する。この包絡線電圧out_DETは、電圧増幅器16にて増幅され、電圧比較器17の一方の入力となる。電圧比較器17の他方の入力には、第1の包絡線検出部1で検出され、電圧増幅器2で増幅された上記包絡線電圧in_DETが供給される。電圧比較器17は、上記二つの包絡線電圧の大小を比較する。そして、ロジック部18がその比較結果の電圧をラッチしそのラッチ値によりデジタルでの+1ビットあるいはデジタルでの-1ビットを信号ADP_Dとして出力する。この信号ADP_Dは、デジタル加算器20に供給される。このデジタル加算器20には、第2のセレクタ11にて選択され、ラッチ回路19にてラッチされた出力も供給される。そして、デジタル加算器20は、上記信号ADP_Dと上記ラッチ出力とをデジタル加算し、その加算結果ADD_Dを振幅補償メモリー7及び8のデータバスに接続し書き込む。

【0028】

入力信号PA_inは、遅延素子21、位相制御部6、利得制御部13を通過し、電力増幅器14により増幅される。この間、PA_in信号は位相制御部6及び利得制御部13により、位相及び振幅が補正され、電力増幅器14に入力される。その結果、歪み補償された出力信号PA_outが出力端子T_outから得られる。

【0029】

次に、上記適応歪補償装置が行う、振幅補償、位相補正、適応補償について詳細に説明する。

【0030】

始めに、振幅補償を行う上で必要な振幅補正データについて記す。

【 0 0 3 1 】

入力信号 PA_in の包絡線電圧を $V_i(t)$ とする。また、利得制御部 13 の出力の包絡線電圧を $V_{pd}(t)$ とし、この利得制御部 13 の制御端子に加えられる利得制御信号 AM_ctl の電圧を $V_c(t)$ とする。振幅補償メモリー 7 及び振幅補償メモリー 8 に格納される電圧はこの $V_c(t)$ である。

【 0 0 3 2 】

今、利得制御部 13 の利得 $G(vc)$ を、変換係数 a として、

$$G(vc) = 1 + a * V_c(t) \quad \dots (1)$$

で表したとすると、

$$V_{pd}(t) = V_i(t) * G(vc) \quad \dots (2)$$

となっていることから、(2) 式を (1) 式に代入して、

$$V_{pd}(t) = V_i(t) * (1 + a * V_c(t))$$

となり、これより、

$$V_c(t) = (1/a) * (V_{pd}(t) / V_i(t) - 1) \quad \dots (3)$$

が得られる。

【 0 0 3 3 】

包絡線電圧 $V_{pd}(t)$ は、歪みを補正すべき電力増幅器 14 について、入出力特性を測定することにより求めることが可能である。よって、その包絡線電圧 $V_{pd}(t)$ を用いて上述の (3) 式を計算して得た結果を予め各振幅補償メモリー 7 及び 8 に格納すればよい。

【 0 0 3 4 】

次に位相補正を行う上で必要な位相補正データについて記す。

電力増幅器の位相特性を

$$\Phi = \Phi(V_1(t)) \quad \dots (4)$$

とすると、位相補正データ Φ_{pd} としては

$$\Phi_{pd} = -\Phi(V_1(t)) \quad \dots (5)$$

となり、このデータを位相補正メモリー 4 に予め格納する。

【 0 0 3 5 】

次に、振幅補償メモリー 7 及び 8 を用いた振幅補償動作について説明する。

【 0 0 3 6 】

振幅補償メモリ 7 及び 8 には、アドレスに対応した振幅補正データが格納されている。アドレスは、入力される包絡線信号 $i n_D E T$ をデジタル化した信号 $D_A D$ であり、振幅補償メモリ 7 及び 8 はそのアドレスに対応したデータ $D R 1$ 及び $D R 2$ を出力する。ここで、2 個ある位相補償メモリ 7 及び 8 をアクセスするアドレスは 2 種類あり、一つは A/D コンバータ 3 の出力 $D_A D$ で、もう一つはこの A/D コンバータ 3 の出力をラッチ回路 9 でラッチ保持したデータ $D_A D L$ である。この両者は第 1 のセレクター 1 0 にて切り替えが行なわれ、2 個の振幅補償メモリ 7 及び 8 に交互にアクセスされる。そして、ラッチ回路 9 にてラッチされたアドレス $D_A D L$ が接続されているメモリーは、メモリーライトモードであり、A/D コンバータ 3 出力 $D_A D$ が接続されているメモリーはメモリーリードモードとなる。リードモードのメモリーからの出力データ $D R 1$ あるいは $D R 2$ は第 2 のセレクター 1 1 により D/A コンバータ 1 2 に接続され、振幅制御信号 $A M_c t 1$ となる。

【 0 0 3 7 】

次に、位相補正メモリ 4 を用いた位相補正動作について説明する。上記デジタル信号 $D_A D$ は、上記振幅補償メモリ 7 及び 8 のアドレスとして使われると同時に位相補正メモリ 4 のアドレスとしても使用され、位相補正用として予め格納されたデータを位相補正データ $D R P$ として出力させ、これを第 1 の D/A 変換器 5 で D/A 変換し、位相制御信号 $P M_c t 1$ を出力し位相制御部 6 を制御する。

【 0 0 3 8 】

次に適応補償動作について説明する。

【 0 0 3 9 】

温度変動等の変化がない場合には、振幅補償用のメモリーから振幅補償データを読み出すのみの動作により電力増幅器 1 4 の歪は補償される。ところが、温度等に変動が現れた場合、この補償では不完全となり、その変動に対応するしくみが必要になる。

【 0 0 4 0 】

そこで、本発明では、振幅補正メモリ 4 から出力された振幅制御信号 AM_ctrl により修正された電力増幅器 14 の出力 PA_out の包絡線電圧と、修正前の包絡線電圧とを比較し、その大小関係を検出する。そして、大小関係を補正するように、振幅補償メモリ中のデータを更新する。この際、一回の操作で更新されるメモリ内のデータは 1 ビットづつとする。従って、同じアドレスを何度かアクセスすることにより正しい値に修正される。入力される高周波信号 PA_in は、たとえば QPSK 変調波のように包絡線が変動している場合には、同一の電圧が、時間軸上、ある確率で発生する。したがって、時間の経過とともに全てのアドレスが正しい補正值に修正されていくことになる。メモリからの読み出しとメモリへの書き込みとを交互に行なうが、補償データの読み出しを高速に行なうために、メモリを 2 個用い、一方のメモリの書き込み中にもう一方のメモリを読み出すようにする。

【 0 0 4 1 】

次に、上記適応歪補償装置の動作の具体例について詳細に説明する。

【 0 0 4 2 】

入力高周波信号の包絡線 in_DET を電圧増幅器 2 で増幅した増幅出力と、歪みを補償されるべき電力増幅器 14 の出力の包絡線 out_DET を電圧増幅器 16 で増幅した増幅出力とを、コンパレータ 17 にて比較する。この比較結果の電圧をロジック部 18 でラッチし、そのラッチ値によりデジタルでの +1 ビットあるいはデジタルでの -1 ビットを信号 ADP_D として出力する。

【 0 0 4 3 】

第 2 のセレクター 11 にて選択されたデータ D_DA2 をラッチ回路 19 にてラッチし、このラッチの出力と上記ロジック部 18 の出力 ADP_D とをデジタル加算器 20 でデジタル加算し、その加算結果 ADD_D を上記振幅補償メモリ 7 及び 8 の書き込みデータバスに接続し書き込む。

【 0 0 4 4 】

図 2 には上記ロジック (ADP_Logic) 部 18 の具体例を示す。コンパレータ (CMP) 17 の出力 CMP_out 信号を D_ラッチ回路 (CMP_lch) 25 にてラッチする。D_ラッチ回路 25 は、クロック ck のエッジでラッ

チを行う。この具体例はデータとして8ビットを想定している。デジタルの+1は図に示すようにMSBのみHi、他はLoと設定する。デジタルの-1は全てのビットをHiに設定する。これらのデータはANDゲートとORゲートから構成されるデジタルセレクター26に入力され、D_ラッチ回路25の出力である、Q、Q_の値により、いずれかがOP0~OP7に出力される。このデータが上記ADP_Dとなる。

【0045】

第1の実施例となる、適応歪補償装置を実施した結果を図3、図4に示す。図3、図4は、温度25度(室温)の場合の歪補償の例を示す。図3は、電力増幅器14により発生する歪を含むスペクトラムであり、図4は、振幅補償メモリ7及び8、位相補正メモリ4により適応歪補償が行われたスペクトラムを示す。

【0046】

図5、図6は、適応補償の結果を示すものである。図5は-30度での例であり、図の縦軸は、入出力の包絡線電圧の差であり、図の横軸は、積算の回数である。積算回数の増加につれて包絡線電圧の差が減少している様子がわかる。

【0047】

図6は、温度80度の場合の適応補償の様子を示している。高温側では電力増幅器14の利得低下が生じるために、適応経路を構成する帰還ループのループ利得が低下するために、歪電力の減少に要する積算回数が増加するという結果が表れている。

【0048】

また、図5は低温側での利得増加に起因して、入出力包絡線電圧の差が、正方向から収束しているが、高温側での利得低下により、図6は図5と逆に、負側から収束している。

【0049】

次に、第2の実施例となる、適応歪補償装置について説明する。この第2の実施例の適応歪補償装置の構成を図7に示す。この第2の実施例の適応歪補償装置と、上記第1の実施例の上記図1に示した適応歪補償装置との構成上の違いは、2個用いていた振幅補償用のメモリを振幅補償メモリ27のみ1個とした点であ

る。これに伴って上記図 1 で二つのメモリを切り替えるのに必要であった二つのセレクトー 1 0 及び 1 1 と、一つのラッチ回路 9 を取り除いた。

【 0 0 5 0 】

すなわち、上記第 1 の実施例において、ラッチ回路 9 と、第 1 のセレクト 1 0 とを取り除き、振幅補償メモリ 2 7 のアドレスバスに A/D コンバータ 3 の出力 D_{AD} を供給している。また、上記第 1 の実施例における、第 2 のセレクト 1 1 を取り除き、振幅補償メモリ 2 7 のデータバスと第 2 の D/A コンバータ 1 2 を接続している。

【 0 0 5 1 】

この第 2 の実施例の適応歪補償装置の動作を説明する。第 1 の実施例の適応歪補償装置では、補償データの読み出しと、適応補償のための修正データの書き込みとが 2 個の振幅補償メモリ 7 及び 8 を使うことにより見かけ上同時に行われていたが、この第 2 の実施例では、1 個の振幅補償メモリ 2 7 で読み出し、書き込みを時間的に従属して行う。こうすることにより、補償データの出力は第 1 の実施例に比べて 1 タイミングの間引きとなるが、回路構成が簡易になる効果を有する。

【 0 0 5 2 】

次に第 3 の実施例について説明する。図 8 に第 3 の実施例となる、適応歪補償装置のブロック図を示す。この第 3 の実施例の適応歪補償装置は、上記第 1 の実施例の適応歪補償装置で用いた遅延素子 2 1 を取り除いている。図 1 において遅延素子 2 1 は、デジタル処理にて出力される制御信号 AM_{ctl}、PM_{ctl} と利得制御部 1 3、位相制御部 6 での包絡線電圧の時間的ズレを補正するために設けているが、包絡線の変動速度が、デジタル信号の処理速度に比べて穏やかな場合は、この制御の時間ずれが無視できるので、遅延素子を取り除くことにより構成を簡易化できる。

【 0 0 5 3 】

次に第 4 の実施例について説明する。図 9 に第 4 の実施例となる、適応歪補償装置のブロック図を示す。この第 4 の実施例の適応歪補償装置は、上記図 1 の実施例における、位相制御部 6 と利得制御部 1 3 との接続順を変更したものである

。利得制御部 1 3 の通過位相は、制御電圧 AM_ct1 に対して変化しないことが理想であるが、現実には変化するという問題がある。そこで、先に利得制御部 1 3 を接続する事で、予め利得制御部 1 3 の位相偏移を予測し後続の位相制御部 6 で補正を行なうことによりこの問題を回避する。

【 0 0 5 4 】

次に第 5 の実施例について説明する。図 1 0 に第 5 の実施例となる、適応歪補償装置のブロック図を示す。この第 5 の実施例の適応歪補償装置は、上記図 1 の実施例に対し、電圧増幅器 2 と電圧増幅器 1 6 の出力をアナログの演算器 (SUB) にて減算し、その結果をコンパレータ 1 7 にて、ある直流の基準電圧 V_{ref1} (2 9) と比較する。これは、電力増幅器 1 4 の出力 PA_out に、ある程度の歪みの残留を許す場合に有効である。一般に、歪み電力は一定以下に制限されれば問題とならないため、ある程度の残留は許される。そこで、制御範囲を限定することで、デジタル回路の動作時間を制限し、電流消費を低減することができる効果がある。

【 0 0 5 5 】

次に第 6 の実施例について説明する。図 1 1 に第 6 の実施例となる、適応歪補償装置のブロック図を示す。この第 6 の実施例の適応歪補償装置は、上記図 1 0 に示した第 5 の実施例の適応歪補償装置に対し、コンパレータ 3 1 及び 3 3 という二つのコンパレータを用意し、ウィンドウコンパレータを構成する。即ち、第 5 の実施例において、減算部 2 8 の減算出力を第 1 の入力とし、直流の基準電圧 V_{ref1} (3 0) を第 2 の入力とし、両入力電圧の大小を検出し、後述するロジック部 3 4 の第 1 のラッチ (CMP_Lch1) 3 5₁ に入力せしめる第 1 の電圧比較器 (CMP1) 3 1 と、減算部 2 8 の減算出力を第 1 の入力とし、直流の基準電圧 V_{ref2} (3 2) を第 2 の入力とし、両入力電圧の大小を検出し、後述するロジック部 3 4 の第 2 のラッチ (CMP_Lch2) 3 5₂ に入力せしめる第 2 の電圧比較器 (CMP2) 3 3 と、第 1 の電圧比較器 3 1 の出力にてデジタルでの +1 ビットと、第 2 の電圧比較器 3 3 の出力にてデジタルでの -1 ビットとをデジタルセクタ 3 6 によって切り替えてデータ ADP_D として出力するロジック (ADP_Log ic) 3 4 を有する。

【 0 0 5 6 】

動作は、ウィンドウコンパレータにより、電圧増幅器 2 と電圧増幅器 1 6 の出力電圧の差が、ウィンドウコンパレータの、ウィンドウ電圧以上になった場合に適応補償の動作が行われると言うものである。即ち、振幅補償メモリに予め格納した補償データに対する修正動作は、実際の歪み成分が、ウィンドウ電圧以上に増加した場合に行われるようにしたものであり、結果として、デジタル回路の動作時間を制限し、電流消費を低減することができる。さらに、歪みが小さい場合にはデジタル信号が利得制御部 1 3 に印加されないため、デジタル雑音が低減される効果がある。

【 0 0 5 7 】

次に第 7 の実施例について説明する。図 1 2 に第 7 の実施例となる、適応歪補償装置のブロック図を示す。この第 7 の実施例の適応歪補償装置は、上記図 1 に示した第 1 の実施例の適応歪補償装置に対し、位相差検出部 (PH_d e t) 3 7 を備え、入力信号 PA_i n と出力信号 PA_o u t の一部から両者の高周波信号の位相差を検出し、この位相差に比例した電圧 PH_c t l を出力する。そして、加算器 3 8 により、位相差検出部 3 7 の出力する電圧 PH_c t l と、上記位相制御信号 PM_c t l をアナログ加算し、その結果 PM_c t l _a d d を位相制御部 6 の制御信号とする。

【 0 0 5 8 】

動作を説明する。一般に電力増幅器 1 4 には位相歪みがあり、これが歪みの要因になっている。電力増幅器 1 4 の動作温度が変動することにより、この位相偏移も変動することが考えられる。そのために、位相偏移に対しても適応補償を行なうために、入出力信号の高周波成分の位相差を検出する。その結果の電圧を、上記メモリー 4 から読み出されて得た信号 PM_c t l に加算することにより修正を加える。これにより位相偏移に対しても適応補償が行なわれる。

【 0 0 5 9 】

図 1 3 には、位相差検出部 3 7 の具体例を示す。直列に接続した抵抗 9 3 とコンデンサ 9 4、直列に接続したコンデンサ 9 5 と抵抗 9 6 を互いに並列に接続しブリッジを構成する。ブリッジの 2 つの対向端子 9 1, 9 2 を入力端子とし、互

いに位相差を検出すべき二つの信号（S 1， S 3 0）を入力すると、位相差に対応した電圧が、該ブリッジのもう一組の対向端子間に現れるため、この対向端子の各々に、ダイオード 9 7， 1 0 0 及び抵抗 9 8， 1 0 1、コンデンサ 9 9， 1 0 2 からなる二つの 2 乗検波回路を接続し、各々の出力を、減算器に入力する。この減算器は、演算増幅器 1 0 7 を用いたものであり、ダイオード 9 7、抵抗 9 8、コンデンサ 9 9 からなる第 1 の 2 乗検波回路の出力を抵抗 1 0 3 を介して演算増幅器 1 0 7 の反転端子（-）で受け、ダイオード 1 0 0、抵抗 1 0 1、コンデンサ 1 0 2 からなる第 2 の 2 乗検波回路の出力を抵抗 1 0 5 を介して演算増幅器 1 0 7 の正端子（+）で受ける。演算増幅器 1 0 7 の反転端子（-）と出力端子との間には抵抗 1 0 4 が接続されている。また、演算増幅器 1 0 7 の正端子（+）と接地との間には抵抗 1 0 6 が接続されている。

【 0 0 6 0 】

上記第 1 の 2 乗検波回路の出力を V_{i1} 、上記第 2 の 2 乗検波回路の出力を V_{i2} とし、抵抗 1 0 3 の値を R_1 、抵抗 1 0 4 の値を R_2 、抵抗 1 0 5 の値を R_3 、抵抗 1 0 6 の値を R_4 とすると、出力端子 1 0 8 に現れる出力 S 1 0 0 は、以下の式となる。

$$S 1 0 0 = (R_4 / R_3) \cdot V_{i2} - (R_2 / R_1) \cdot V_{i1} \quad \dots (6)$$

【 0 0 6 1 】

ここで、 $R_1 = R_2 = R_3 = R_4$ とすれば、上記（6）式は、次の（7）式となる。

$$V_0 = V_{i2} - V_{i1} \quad \dots (7)$$

すなわち、信号 S 1 0 0 は、二つの入力信号電圧 S 1、S 3 0 の位相差に比例する。

【 0 0 6 2 】

以上説明したように、上記実施の形態における、各適応歪補償装置は、プレディストーションに必要な適応補償のデータを、電力増幅器 1 4 の歪成分を、包絡線検出という方法を用いることで可能にするために、直交復調を要せずに簡易に実現できる。また、歪成分を出力と入力差の積算により検出し、歪補償を行っているため、わずかな歪成分でも補償できるという利点がある。また、適応補償を

行うにあたり、符号のみを判定するために、微小な電圧信号を扱う必要がなく、同時に、多ビットの A/D コンバータも必要なく、いずれもその効果は絶大である。

【 0 0 6 3 】

【発明の効果】

本発明によれば、電力増幅器のようなデバイスの歪成分を、簡易に補償することができる。また、復調器を不要とした簡単な構成とすることができる。

【図面の簡単な説明】

【図 1】

本発明に係る歪補償装置及び方法の実施の形態における、第 1 の実施例となる適応歪補償装置の構成図である。

【図 2】

上記第 1 の実施例となる適応歪補償装置を構成している、ロジック部 (A D P _ L o g i c) の具体例の回路図である。

【図 3】

電力増幅器で発生する歪のスペクトラム特性図である。

【図 4】

室温で歪補償された結果を示すスペクトラム特性図である。

【図 5】

- 3 0 ℃での適応補償の結果を示す特性図である。

【図 6】

8 0 ℃での適応補償の結果を示す特性図である。

【図 7】

上記実施の形態における、第 2 の実施例となる適応歪補償装置の構成図である。

【図 8】

上記実施の形態における、第 3 の実施例となる適応歪補償装置の構成図である。

【図 9】

上記実施の形態における、第 4 の実施例となる適応歪補償装置の構成図である。

【図 1 0】

上記実施の形態における、第 5 の実施例となる適応歪補償装置の構成図である。

【図 1 1】

上記実施の形態における、第 6 の実施例となる適応歪補償装置の構成図である。

【図 1 2】

上記実施の形態における、第 7 の実施例となる適応歪補償装置の構成図である。

【図 1 3】

上記第 7 の実施例となる適応歪補償装置を構成する位相差検出部の具体例を示す回路図である。

【図 1 4】

第 1 の従来例を示すブロック図である。

【図 1 5】

第 2 の従来例を示すブロック図である。

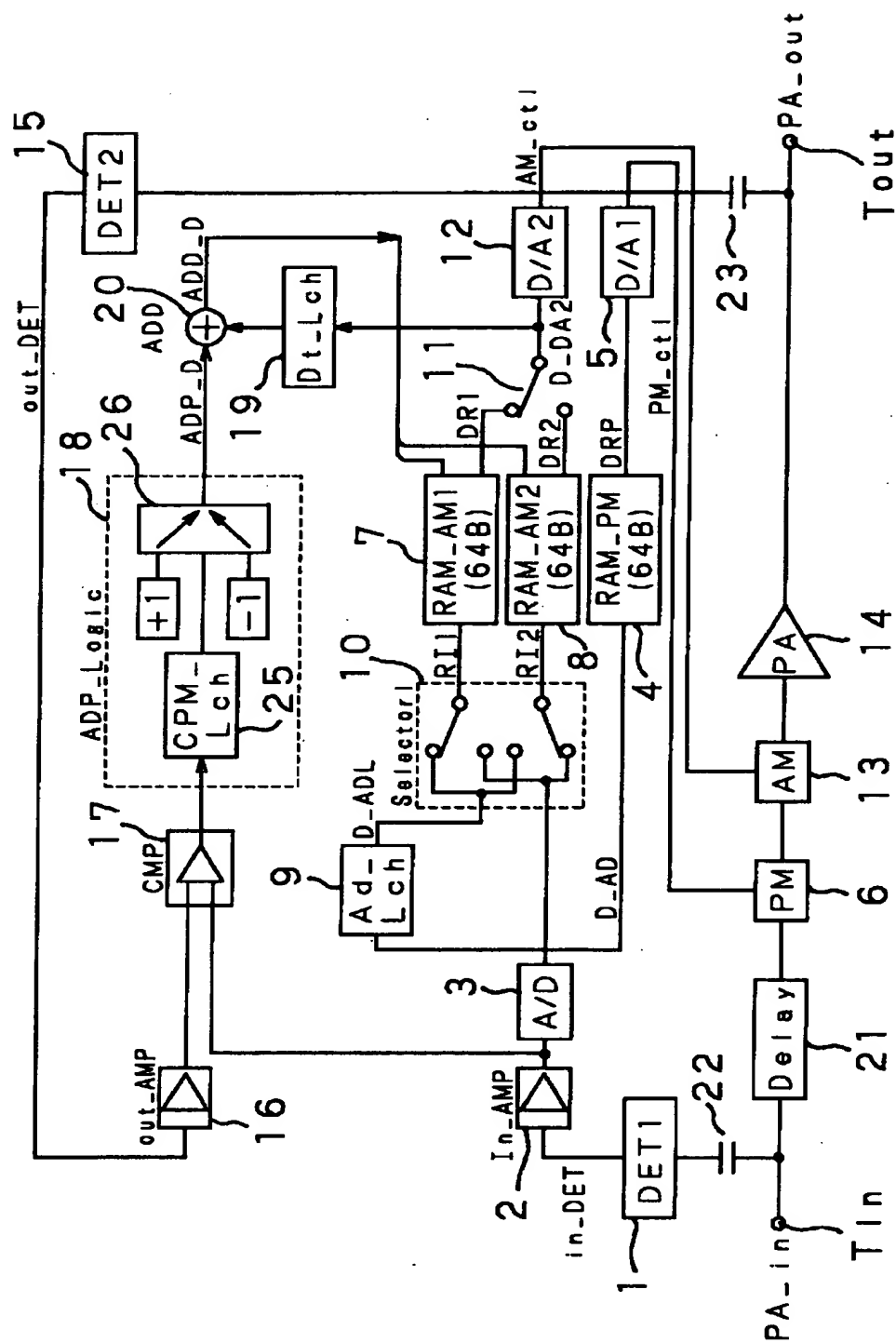
【符号の説明】

1 第 1 の包絡線検出部、2 電圧増幅器、3 A/Dコンバータ、4 位相補正メモリー、5 第 1 の D/Aコンバータ、6 位相制御部、7 第 1 の振幅補償メモリー、8 第 2 の振幅補償メモリー、9 ラッチ回路、10 第 1 のセクタ、11 第 2 のセクタ、12 第 2 の D/Aコンバータ、13 利得制御部、14 電力増幅器、15 第 2 の包絡線検出部、16 電圧増幅器、17 電圧比較器、18 ロジック部、19 ラッチ回路、20 デジタル加算器、21 遅延素子

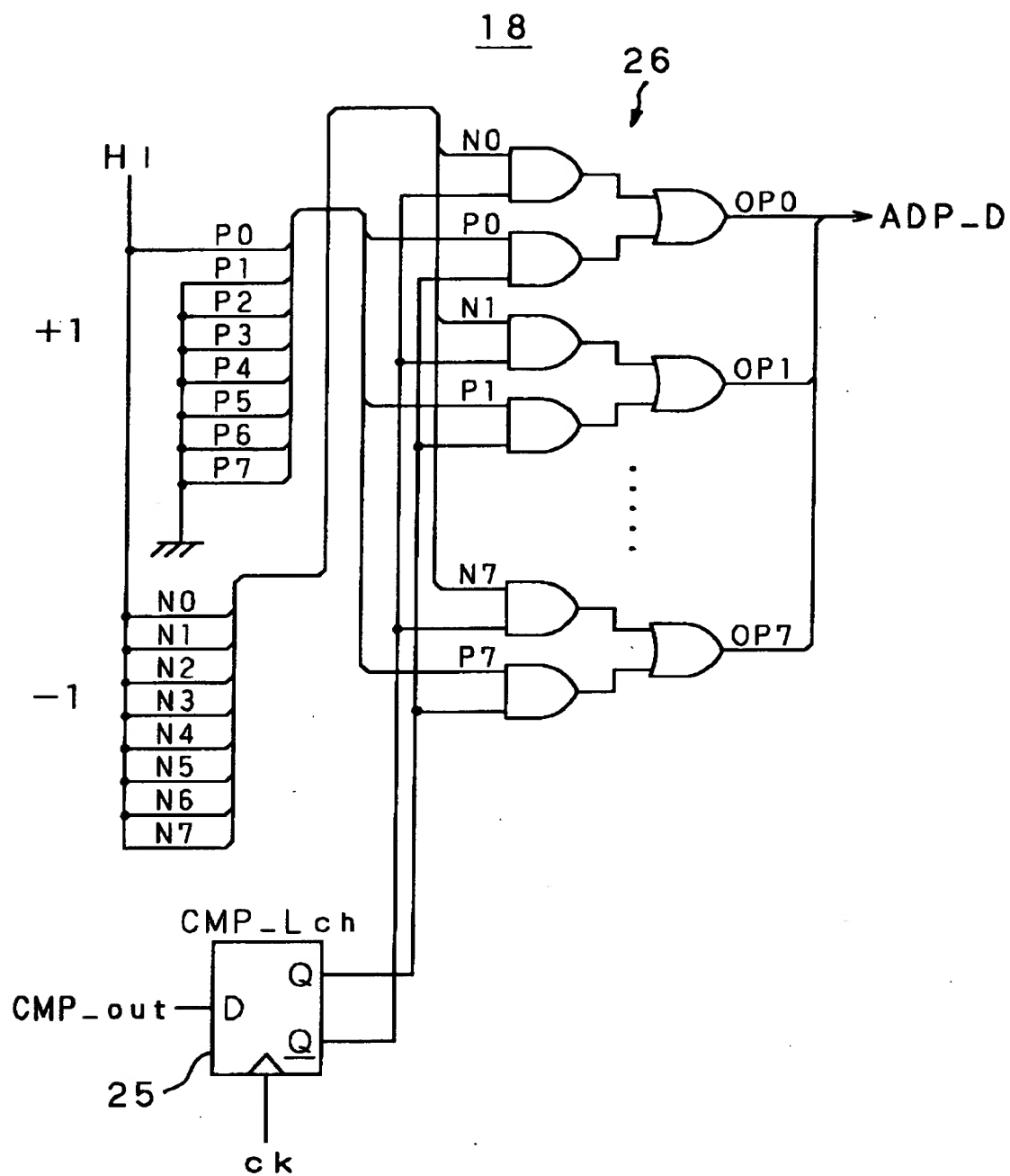
【書類名】

凶面

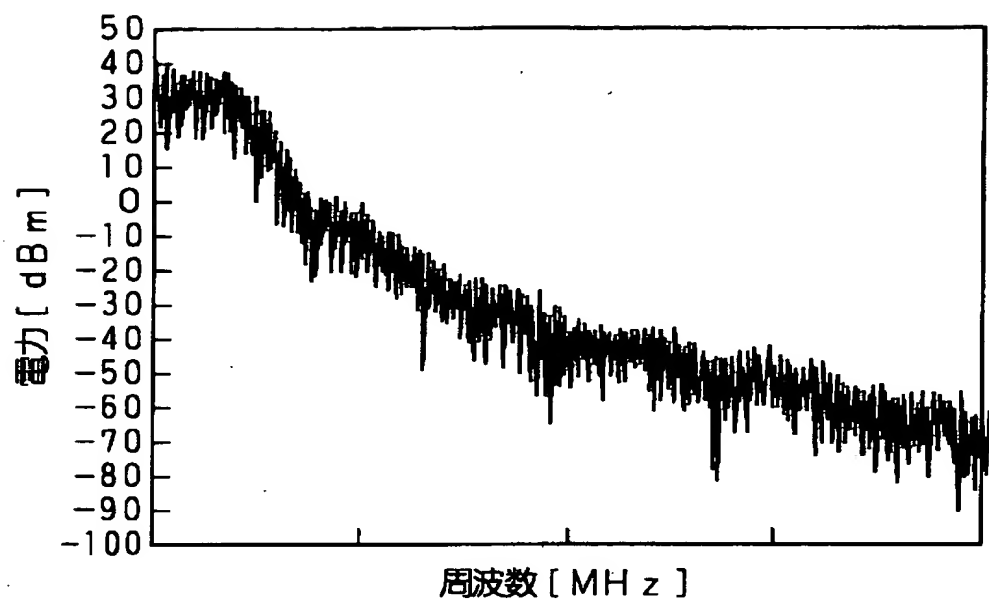
【図 1】



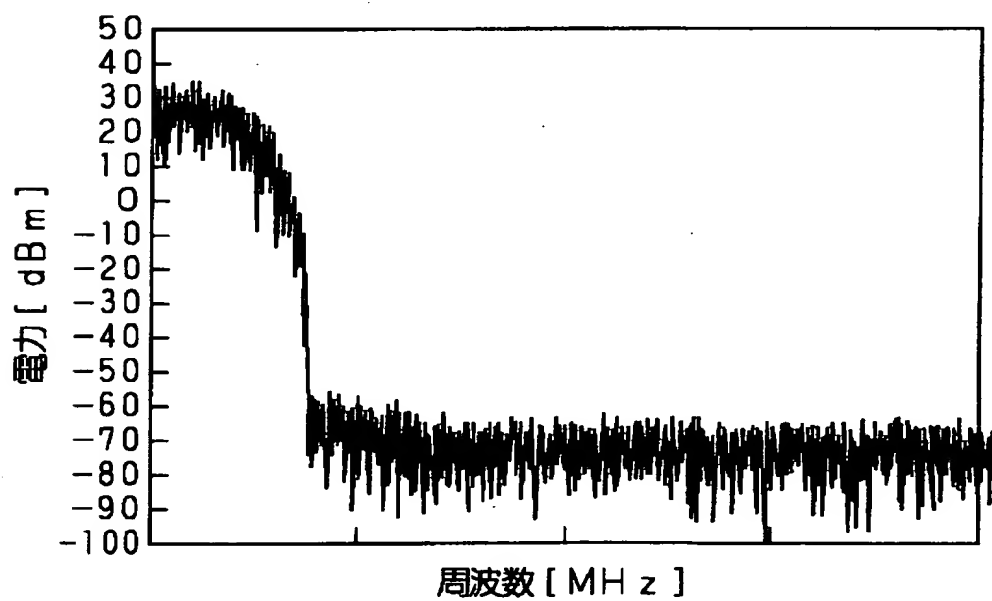
【図 2】



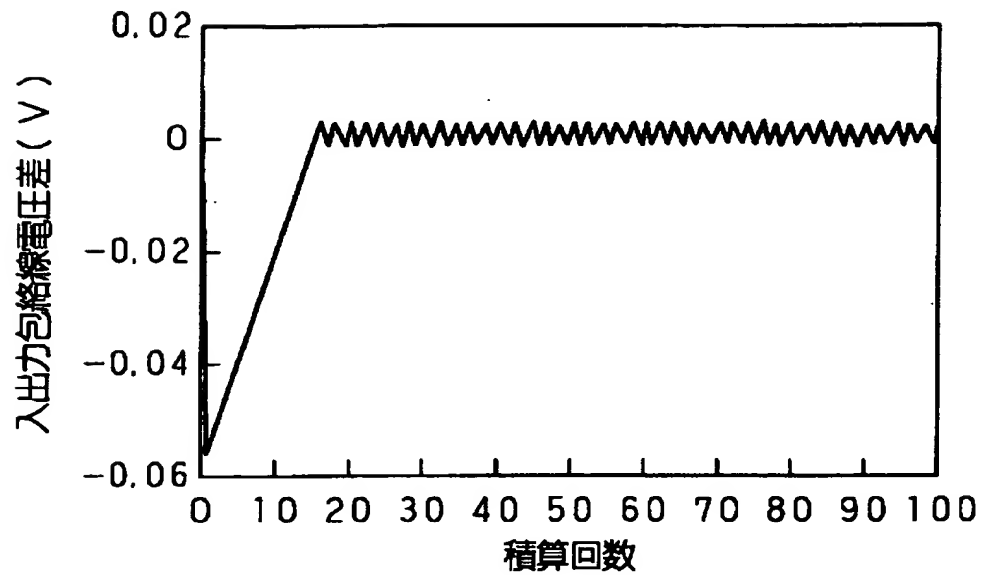
【図 3】



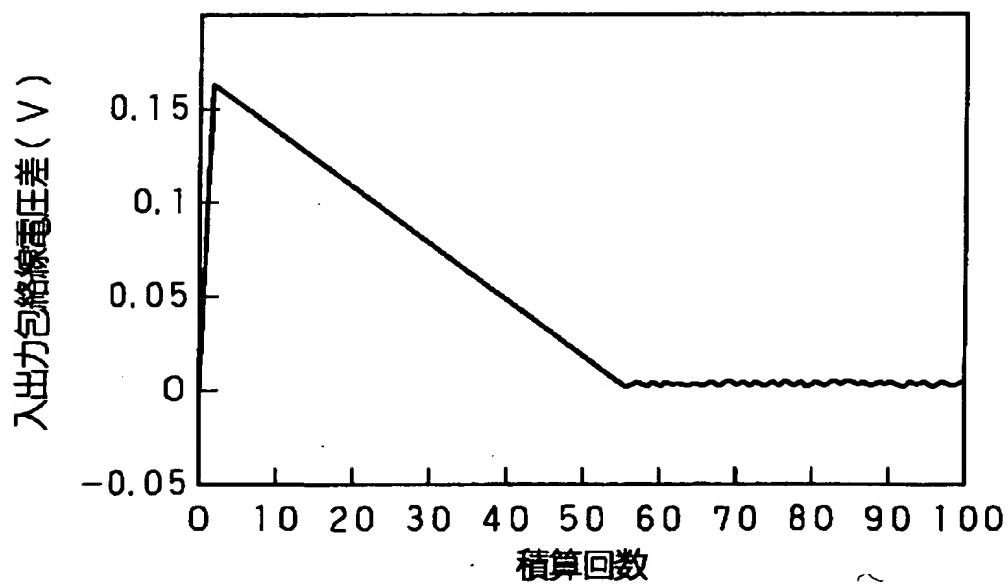
【図 4】



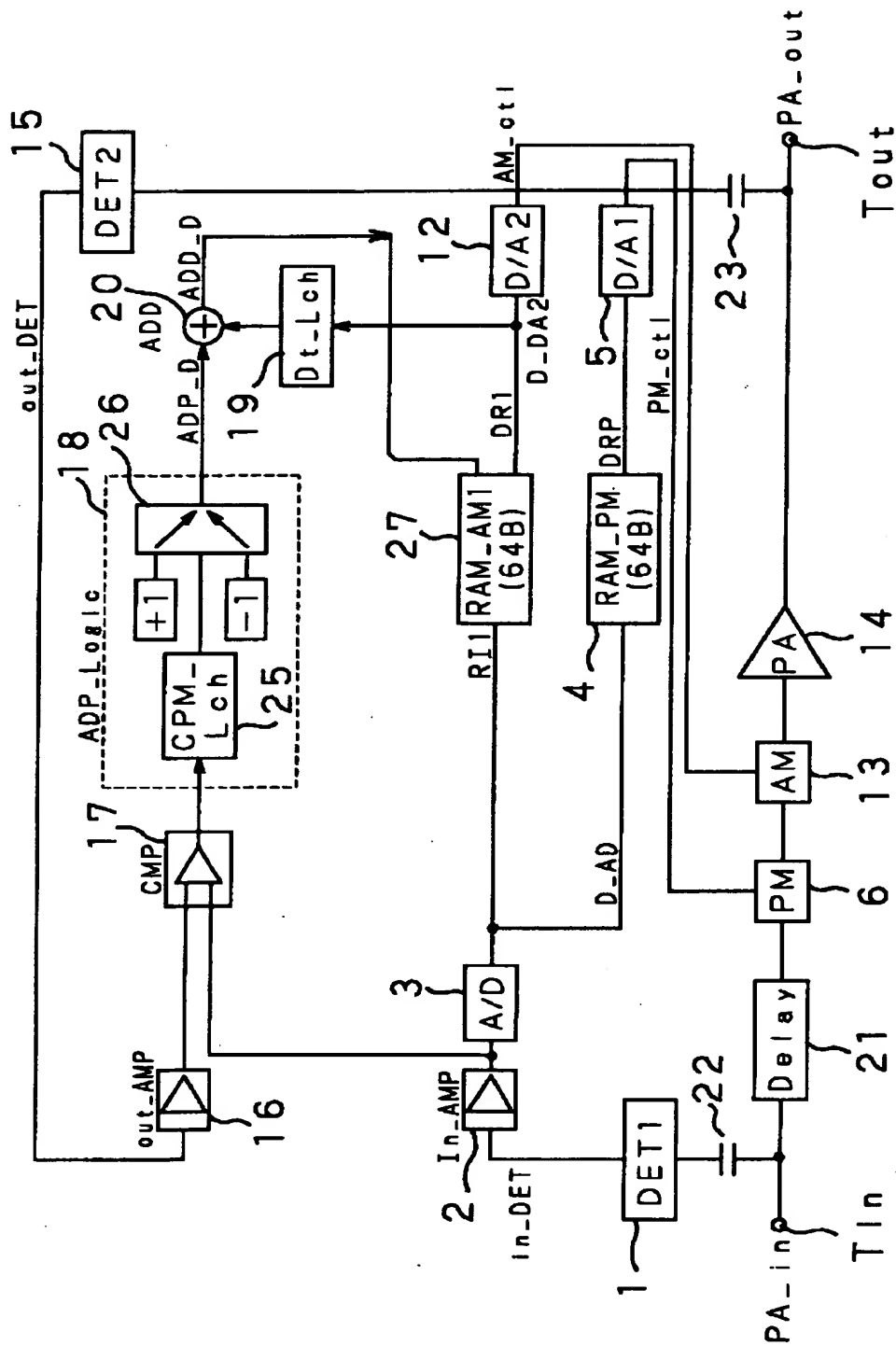
【図 5】



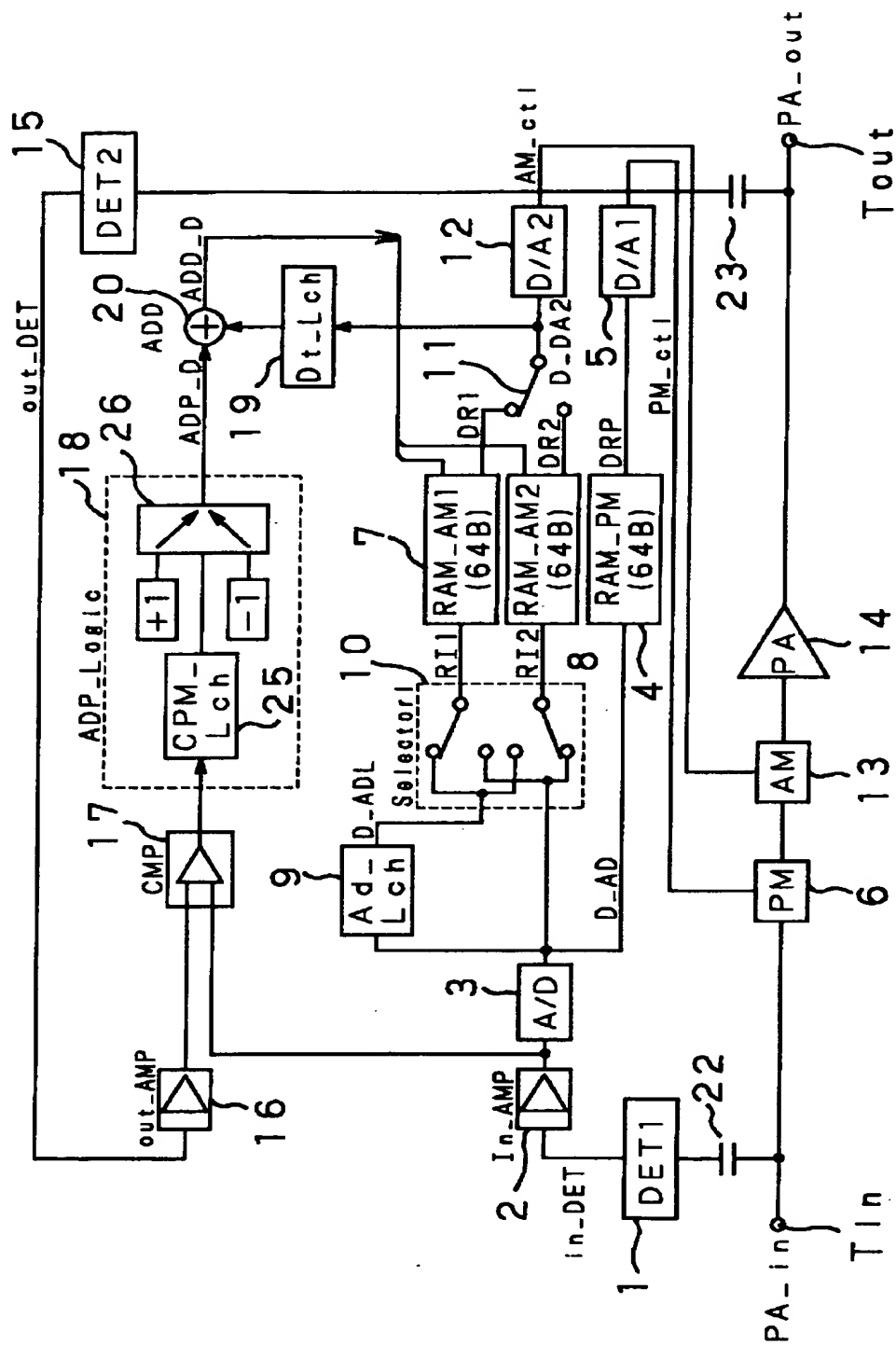
【図 6】



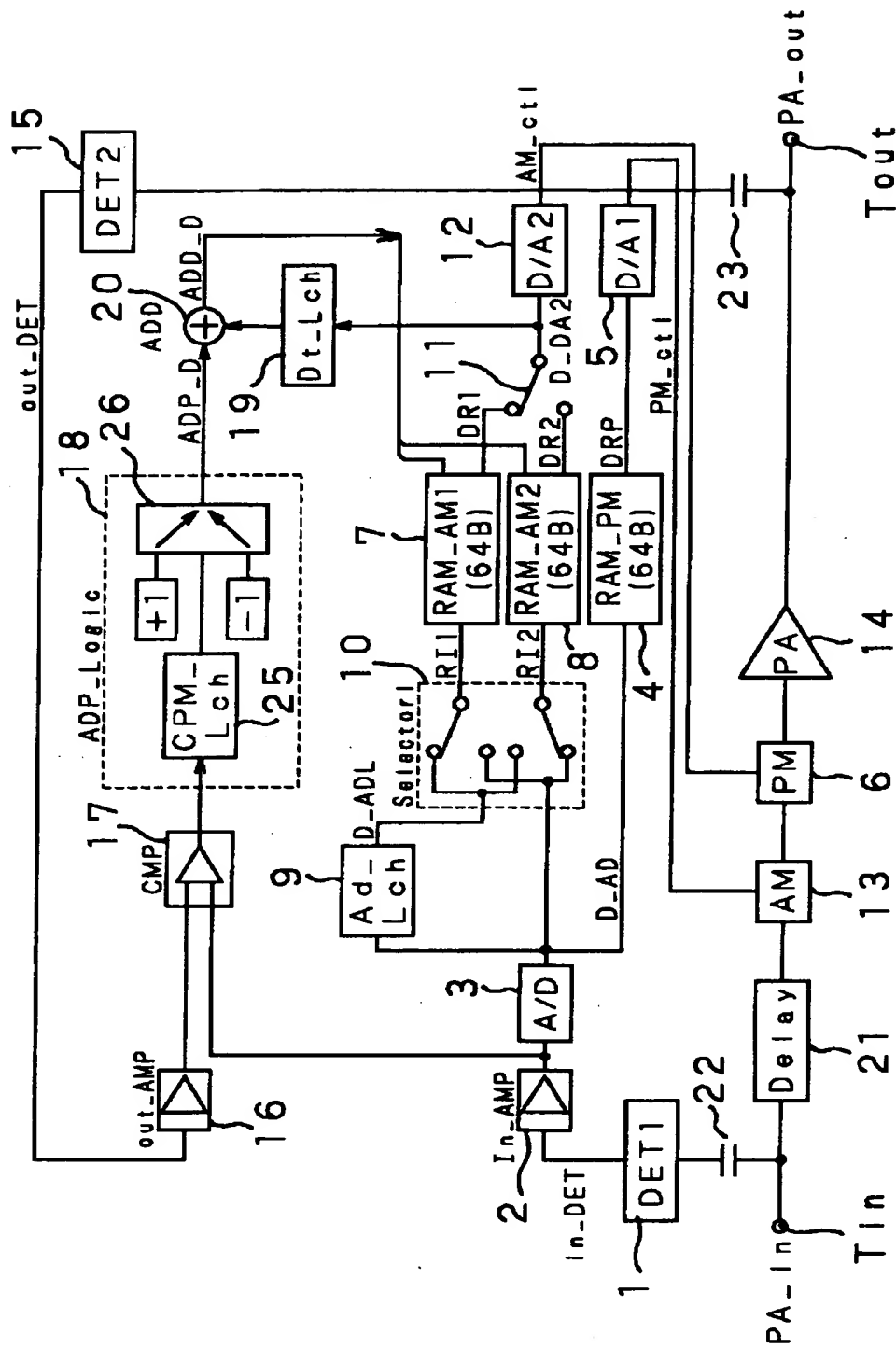
【図7】



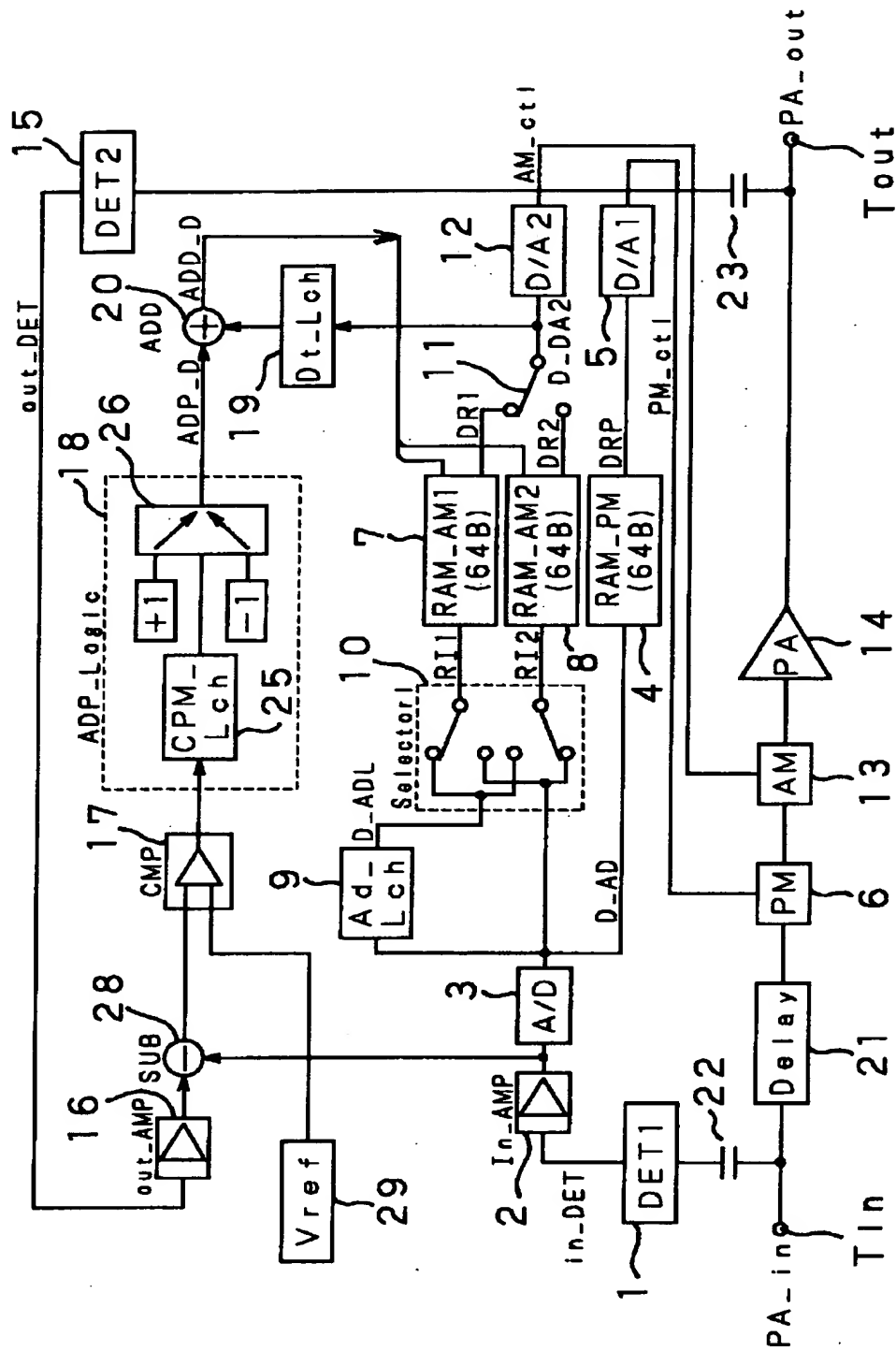
【図 8】



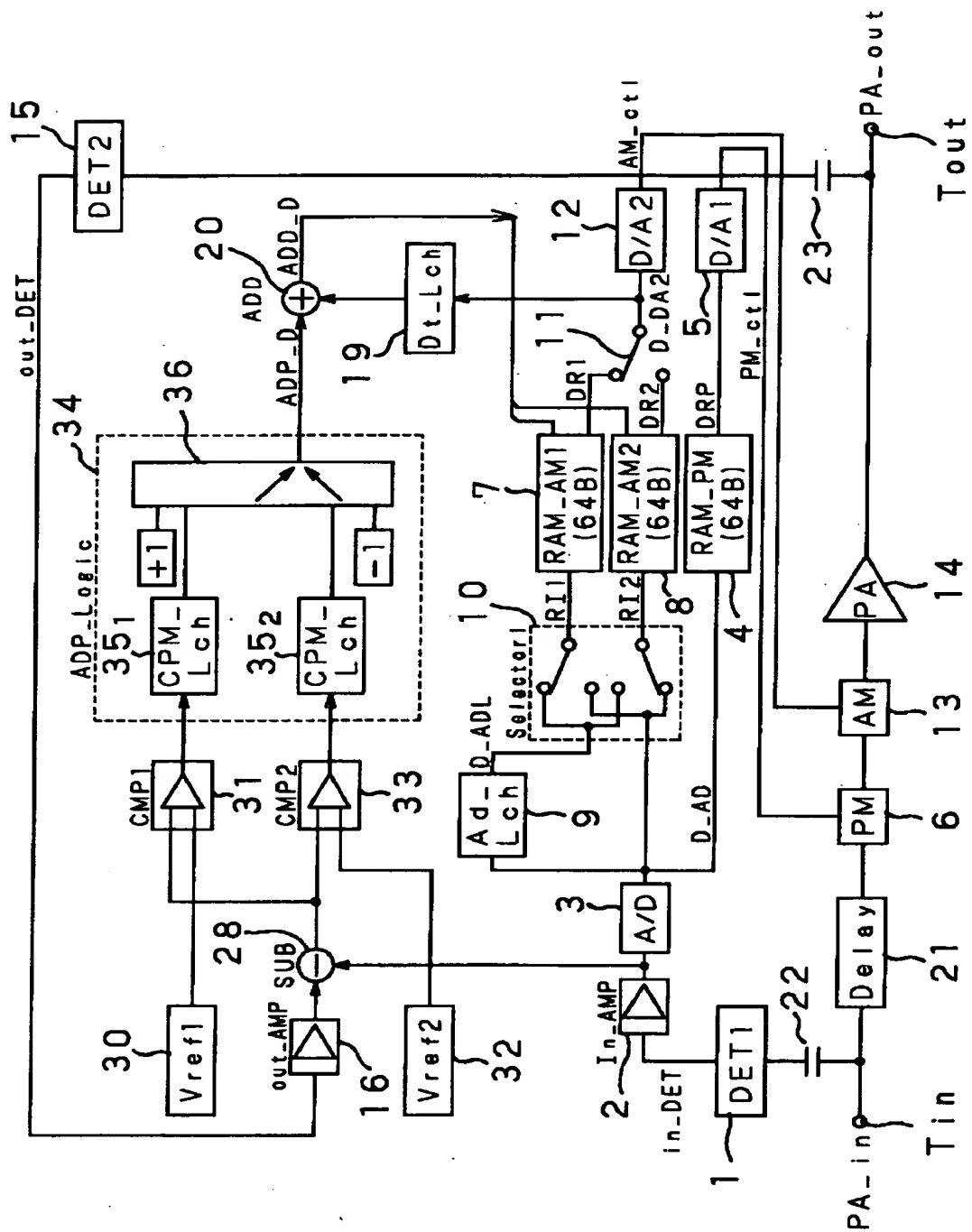
【図9】



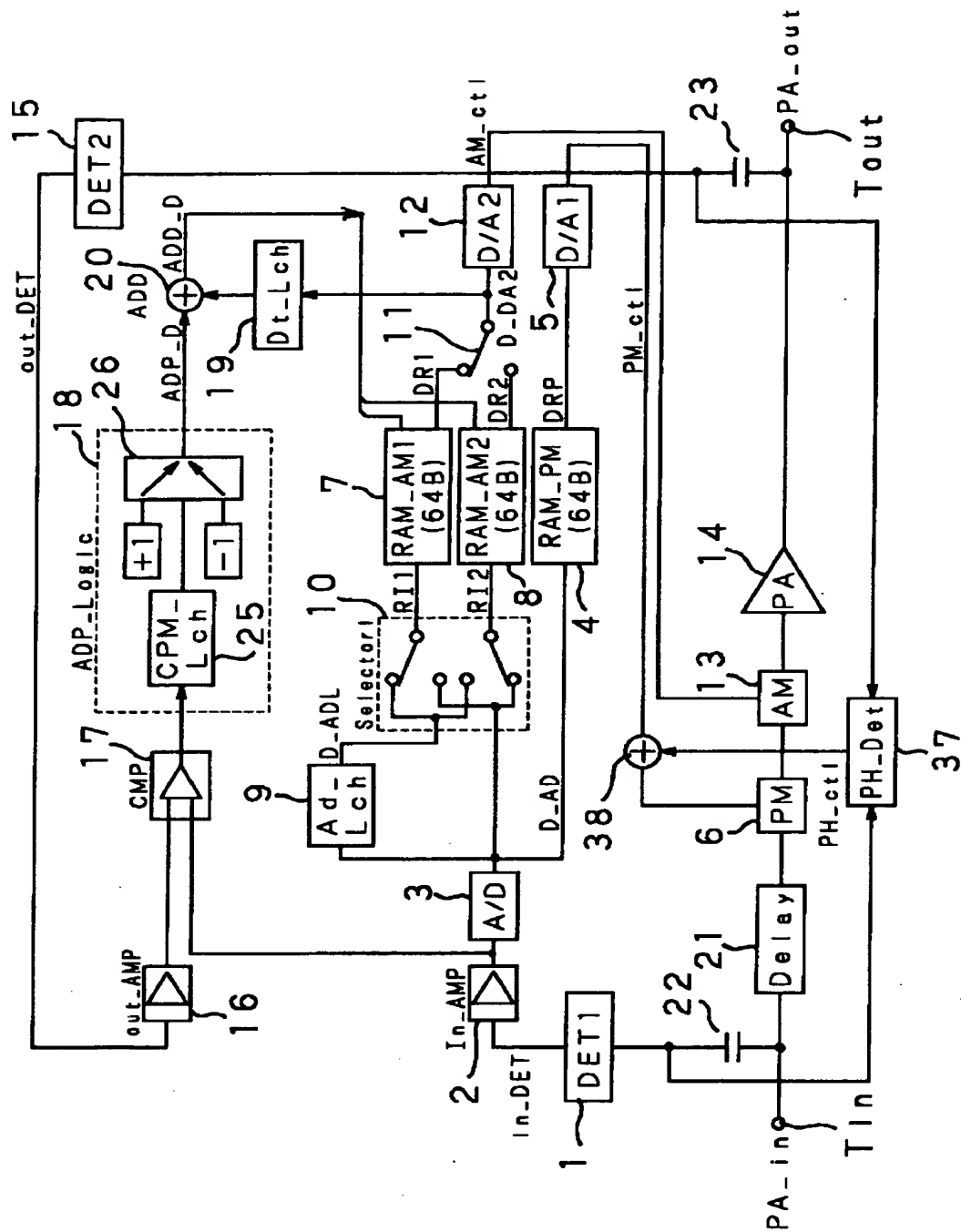
【図10】



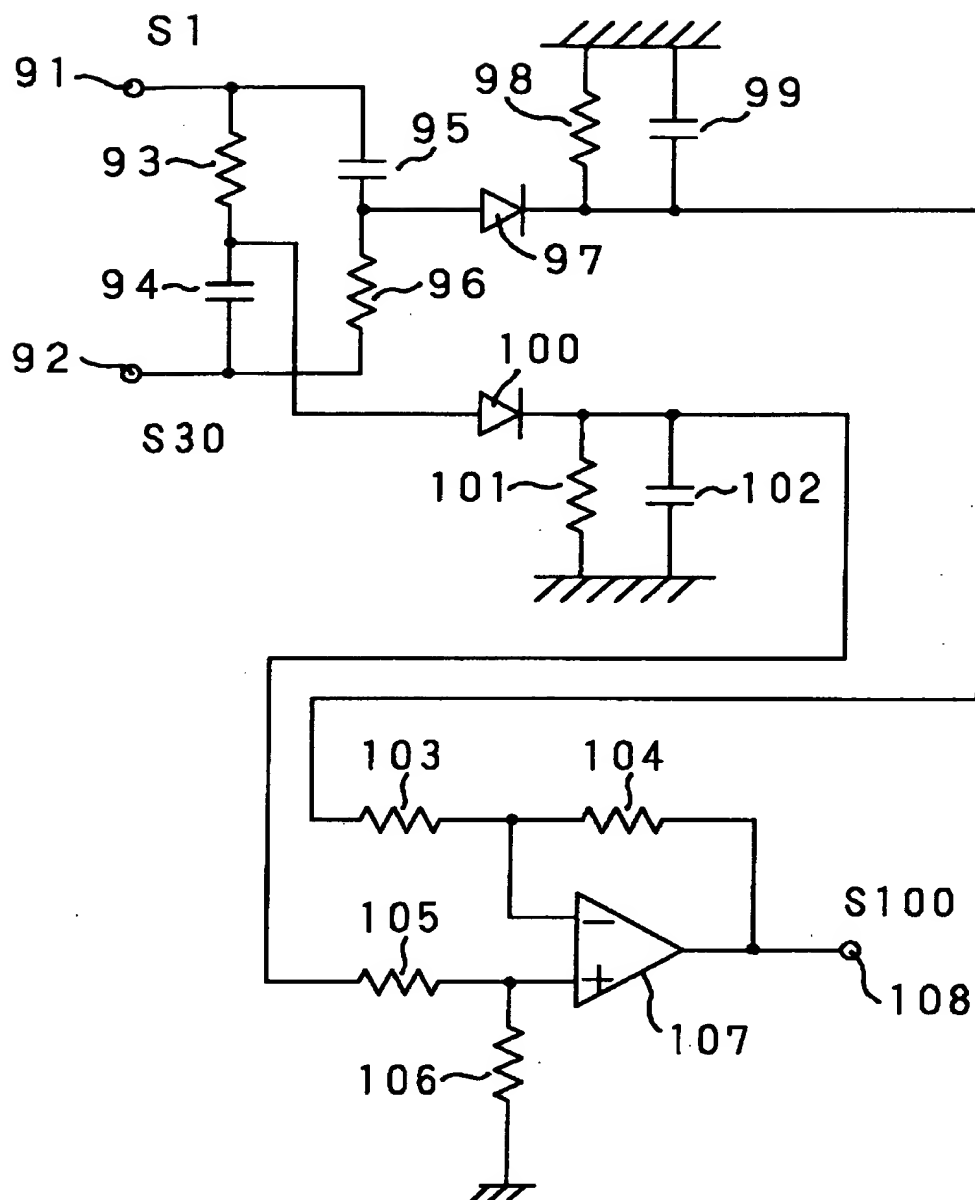
【図11】



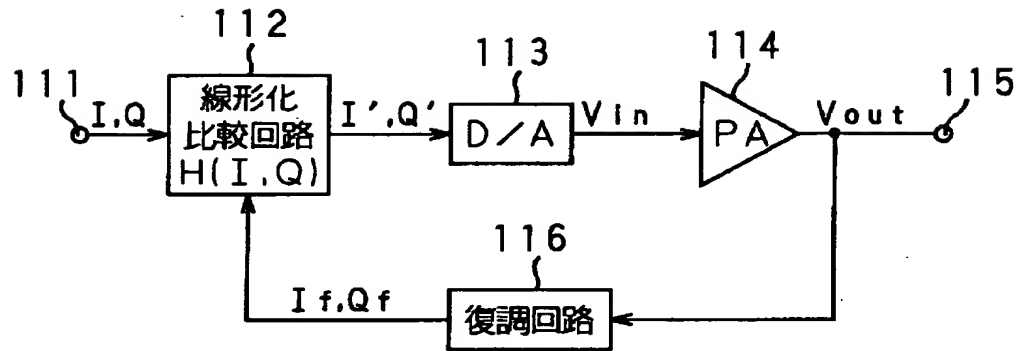
【図12】



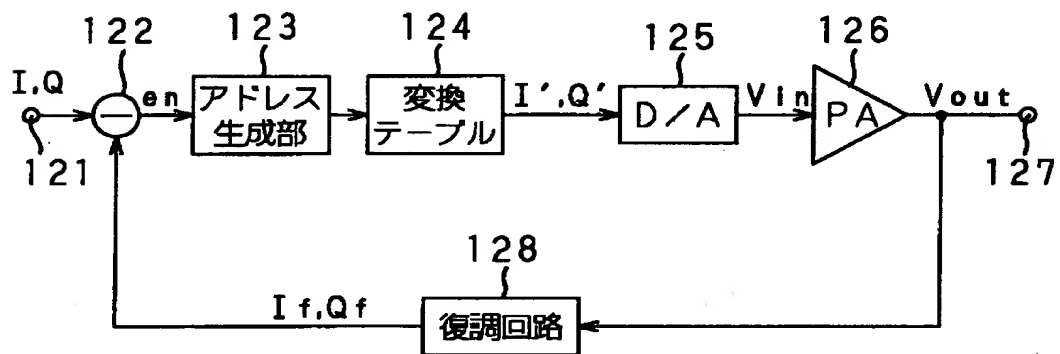
【図 13】



【図 1 4】



【図 1 5】



122: 減算回路

【書類名】 要約書

【要約】

【課題】 電力増幅器のようなデバイスの歪成分を簡易に補償することのでき、かつ復調器を不要とした簡単な構成とすることができる。

【解決手段】 電圧比較器 1 7 は、振幅補正メモリ 4 から出力された AM_c t 1 信号により修正された電力増幅器 1 4 の出力 P A_o u t の包絡線電圧と、修正前の包絡線電圧とを比較し、その大小関係を検出する。そして、ロジック部 1 8 は、上記大小関係を補正するように、振幅補償メモリ中のデータを加減する。この際、一回の操作で更新されるメモリ内のデータは 1 ビットずつとする。従って、同じアドレスを何度かアクセスすることにより正しい値に修正される。入力される高周波信号 P A_i n は、たとえば Q P S K 変調波のように包絡線が変動している場合には、同一の電圧が、時間軸上、ある確率で発生する。したがって、時間の経過とともに全てのアドレスが正しい補正值に修正されていくことになる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社